

Lappeenrannan teknillinen yliopisto  
Teknillinen tiedekunta / Sähkötekniikan osasto  
Mikroelektronikan laboratorio

## KANDIDAATINTYÖ

### PIIRILEVYN SUUNNITTELU ASIC-PIIRIN TESTIKÄYTTÖÖN

Kimmo Karjalainen  
2007

## Sisällysluettelo

JOHDANTO .....	2
1. PIIRILEVYSUUNNITTELUN PERUSTEITA.....	2
1.1. Materiaalit ja rakenne .....	3
1.2. Häiriöt ja niiden suodatus.....	5
1.3. Käyttöjännitteet.....	6
1.4. Maadoitus .....	7
1.5. Reaktiiviset impedanssit.....	8
1.6. Nopeat digitaalipiirit.....	8
1.6.1. Impedanssisovitteet .....	9
1.6.2. Signaalien ajoitus.....	11
1.7. Komponenttivalinta.....	12
1.8. Suunnitteluvirheet ja niiden välttäminen.....	13
2. KÄYTÄNNÖN PIIRILEVYSUUNNITTELU .....	14
2.1. Piirilevylle asetetut vaatimukset .....	15
2.2. Toteutus .....	16
2.2.1. Käyttöjännitteet.....	16
2.2.2. Liittimet.....	17
2.2.3. Levyn rakenne.....	17
2.2.4. ASIC .....	18
2.2.5. Piirilevy kokonaisuudessaan .....	20
2.3. Toiminnan testaus .....	21
2.3.1. Suunnittelussa tapahtuneet virheet .....	22
2.3.2. Lopullinen piirilevy korjausten jälkeen.....	23
3. YHTEENVETO .....	25
LÄHTEET.....	26

**Käytetyt merkinnät ja lyhenteet**

ASIC	Application specific integrated circuit, sovelluskohtainen IC-piiri
EMC	Electromagnetic compatibility, sähkömagneettinen yhteensopivuus
EMI	Electromagnetic interference, sähkömagneettinen häiriö
FR4	Fire resistant 4, piirilevymateriaali
IC	Integrated circuit, integroitu piiri
PCB	Printed circuit board, piirilevy
$L$	Ominaisinduktanssi
$C$	Ominaiskapasitanssi
$Z$	Impedanssi
$\Gamma$	Heijastuskerroin
$\varepsilon_r$	Suhteellinen permittiivisyys
$v_p$	Vaihenopeus

## **JOHDANTO**

Piirilevy – oli se sitten yksinkertainen prototyypin pohjana käytetty reikäkortti tai monimutkaisempi, useita kerroksia käsittävä pitkän suunnittelutyön tulos – on erittäin oleellinen osa mitä tahansa elektroniikkapiiriä. Se on myös helposti minkä tahansa elektroniikkasovelluksen kallein yksittäinen osa, joten piirilevyn suunnitteluun kannattaa käyttää riittävästi aikaa ja huolellisuutta.

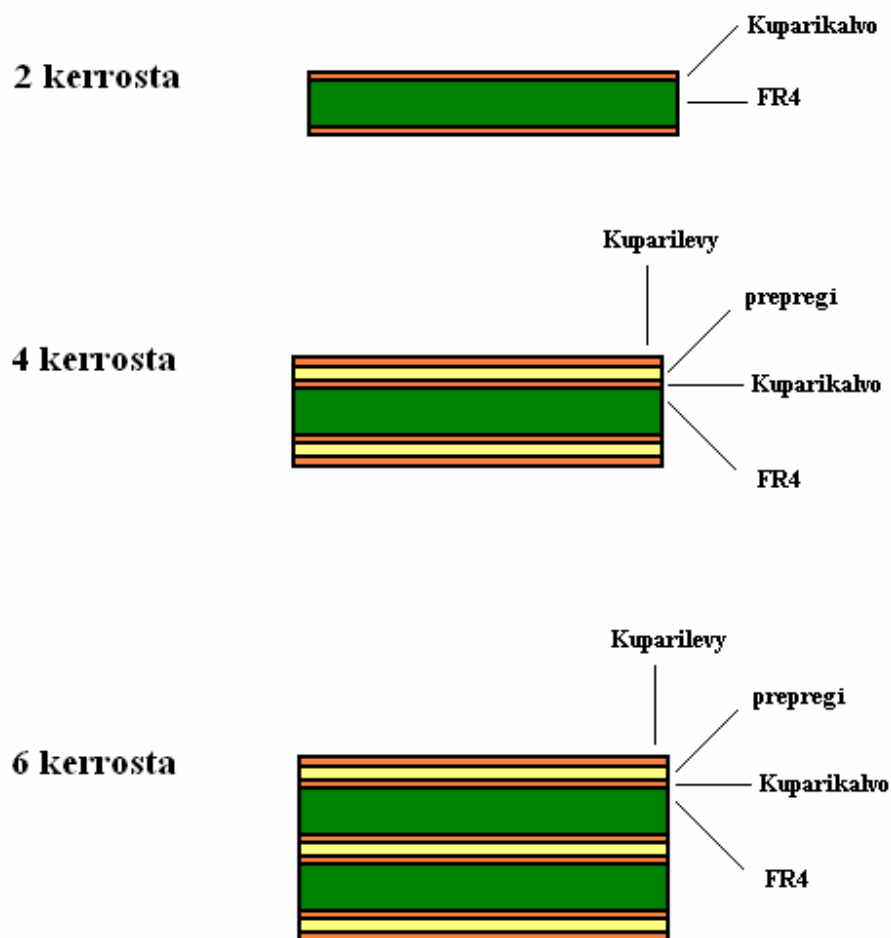
Tässä kandidaatintyössä käydään läpi piirilevyn suunnittelun peruseriaatteita eri näkökulmista. Itse elektroniikkapiirin suunnitteluun ja kytkentäkaavion luomiseen ei juurikaan puututa. Käytännön työnä esitetään lopuksi pääpiirteittäin eräs piirilevyn suunnittelu komponenttivalinnoista levyn lopputarkastuksiin ja toiminnan tutkimiseen asti.

### **1. PIIRILEVYSUUNNITTELUN PERUSTEITA**

Piirilevyn suunnitteluun ryhdytään käytännössä aina vasta huolellisen kytkentäkaavion luomisen jälkeen. Tällöin suunnittelijalla on jo jonkinlainen mielikuva kytkennästä, jonka rungoksi levy tehdään. Itse levyn suunnittelu jakautuu karkeasti komponenttisijoitteluun ja reitittämiseen, joista ensimmäisessä asetellaan tarvittavat komponentit halutuille paikoilleen piirilevyllä, ja jälkimmäisessä yhdistetään komponentit johdinvedoilla piirin toiminnan edellyttämällä tavalla. Nämä kaksi vaihetta voivat hyvin tapahtua rinnakkain, jolloin komponentteja asetellaan ja reititetään tärkeysjärjestyksessä. Piirilevyn suunnitteluun on tarjolla useita, käytettävyydeltään ja ominaisuuksiltaan – ja hinnaltaan – vaihtelevia ohjelmistoja.

### 1.1. Materiaalit ja rakenne

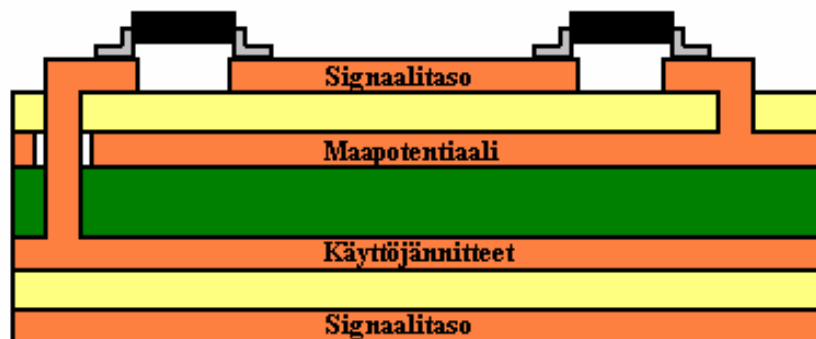
Kuvan 1. mukaisesti piirilevy rakentuu metallitasoista, joiden välissä on eristävä hartsilevy. Yleisesti käytetyt materiaalit näissä ovat kupari, ja lasikuitupäällysteinen epoksi, nimeltään FR4 (fire resistant 4). Monikerroslevyissä osa kuparikerrosten väleistä täytetään prepregillä, eli dielektrisellä materiaalilla, jonka suhteellinen permittiivisyys  $\epsilon_r$  on samaa luokkaa FR4:n kanssa, eli noin 4,2.



Kuva 1. Piirilevyjen kerrosrakenne selkeytettynä. Todellisuudessa materiaalien paksuudet (esim. FR4-kerros) vaihtelevat kerrosten määrän mukaan siten, että kerrosten lukumäärästä riippumatta piirilevyt ovat paksuudeltaan samaa luokkaa.

Tehdasvalmisteisissa levyissä on lisäksi mahdollisesti erilaisia pinnoitteita. Kupari voidaan esimerkiksi kullata hapettumisen estämiseksi, ja levyille tulevien komponenttien asettelua selkeyttää silkkipainatuksella tehtävällä kuvioinnilla. Yleisesti kuparialue – liitospintoja lukuun ottamatta – peitetään oikosulkujen ja hapettumisen ehkäisemiseksi juotteenestopinnoitteella tai tinalla.

Piirilevyn kerrosten lukumäärä riippuu suoraan tarvittavien komponenttien määrästä ja reitityksen asettamista vaatimuksista. Ylärajan kerrosmäärälle asettaa tavallisesti kerrosmäärän mukana kasvavat valmistuskustannukset. Levyn sisään haudattuja komponentteja käytetään jonkin verran etenkin mikroaaltoalueen piireissä, mutta silti yleisin tapa on asettaa komponentit joko levyn yläpintaan, tai sekä ylä- että alapinnalle. Sisäiset kerrokset on varattu tällöin reititykselle ja mahdollisille apujännitetasoille. Kuva 2 näyttää esimerkin piirilevyn rakenteesta.

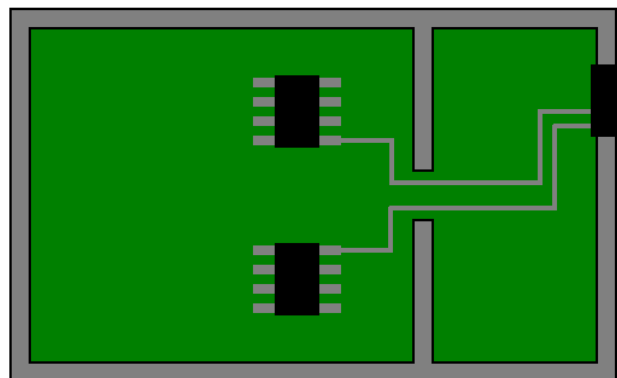


Kuva 2. Yksinkertaistettu esimerkki piirilevyn rakenteesta. Tyypillisessä piirilevyssä on 4-6 kerrosta, joista 2-3 on varattu maa- ja apujännitetasoille.

Piirilevyn valmistuskustannusten kannalta tärkeä huomioon otettava seikka on levyllä käytetty viivanleveys. Käytännössä tämä tarkoittaa esimerkiksi kuparivetojen välistä minimietäisyyttä. Mitä tiheämmäksi levyn vedot menevät, sitä suurempaa tarkkuutta tuotantolaitteistolta vaaditaan. Teollisten piirilevyvalmistajien yleinen, vielä suhteellisen edullinen standardi viivanleveydelle on 0,15 – 0,20 mm, minimin ollessa noin 0,10 mm.

## 1.2. Häiriöt ja niiden suodatus

Voidaan sanoa, että mitä suurempia taajuuksia ja heikompia signaalitasoja elektroniikkapiirissä käsitellään, sitä oleellisempaa on elektromagneettisen yhteensopivuuden, eli EMC:n huomioiminen. Häiriöiden ennaltaehkäisy tapahtuu luonnollisesti piirilevyn suunnittelun yhteydessä. Vaikka häiriöiden syntyä ja kytkeytymistä piiriin ei voida varmuudella ennaltaehkäistä, voidaan tunnetusti häiriöinen levyn osa ainakin eristää ympäristöstään. Näin voidaan suojata piirilevyn häiriöille alttiita osia. Esimerkiksi optoerottimet ovat tähän varma tapa. Yksinkertaisempi keino muodostaa erotus on niin sanottu sillattu vallihauta (moat), joka käytännössä jakaa piiriin eri osat – esimerkiksi analogisen ja digitaalisen – omiin saarekkeisiinsa, lukuun ottamatta näitä yhdistäviä kuparisiltoja. Kuva 3 havainnollistaa piiriin jaottelua. /3/



Kuva 3. Piiriin jaottelu häiriöiden vähentämiseksi. Kuvassa on yksinkertaistettu tapa erottaa häiriöinen IO-alue IC-piireistä.

Kaiken kaikkiaan häiriöiden ehkäisyn onnistumisen edellytyksenä on tieto siitä mistä häiriöt mahdollisesti piiriin kytkeytyvät. Häiriösignaalien kytkeytymiseen piirille on käytännössä neljä tapaa; galvaanisesti, induktiivisesti magneettikentän välityksellä, kapasitiivisesti sähkökentän välityksellä ja rf-säteilyn välityksellä. Galvaaninen kytkeytyminen aiheutuu yleisesti enemmän esimerkiksi materiaali- ja valmistusvirheistä kuin suunnittelijan erehdyksistä. Induktiivisen ja rf-säteilyn välityksellä tapahtuvan kytkeytymisen tapauksessa puolestaan ohjesääntönä on pitää piirin johtimet lyhyinä, ja johdinsilmukat pieninä. Lähtökohtana voidaan pitää  $\lambda/10$ -sääntöä, jonka mukaan käytetystä aallonpituudesta alle kymmenesosan mittaiset johtimet eivät toimi enää merkittävinä häiriötä vastaanottavina – tai lähettävinä – antennina. On tietenkin myös varsin suotavaa varmistaa ettei itse suunniteltu kytkentä ole kaiken muun elektroniikan ympäriltään lamauttava häiriölähde. /2/

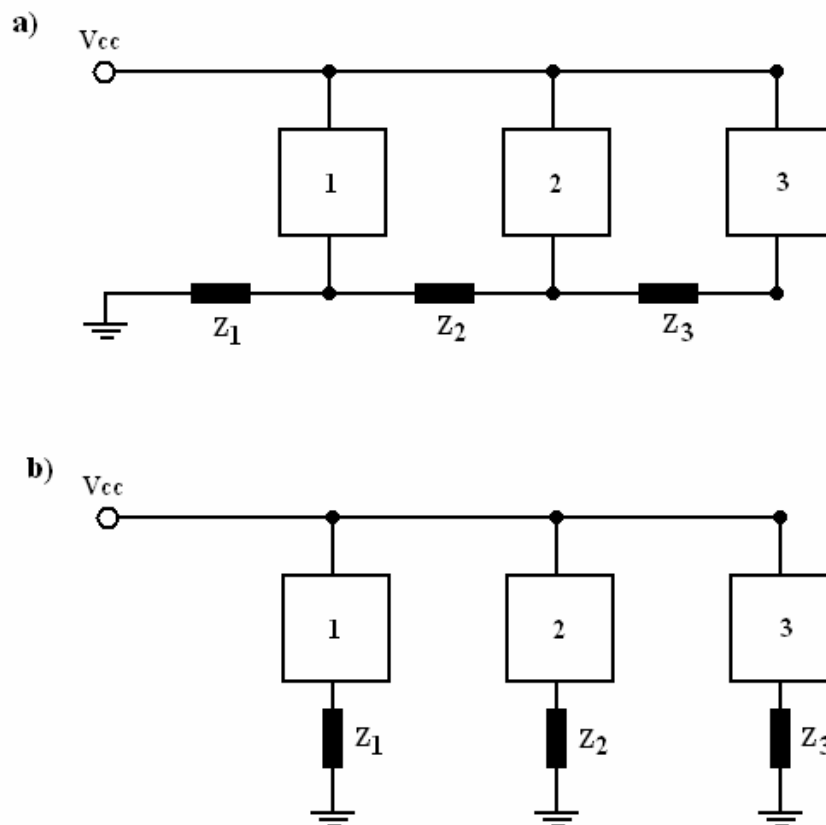
### 1.3. Käyttöjännitteet

DC-käyttöjännitteiden suodatus kuuluu hyviin tapoihin missä tahansa elektroniikan kytkennässä. Käyttöjännitteissä esiintyvät piikit ovat arvaamattomia, ja mahdollisesti erittäin tuhoisia, etenkin jos piikin vastaanottava piiri sisältää hienostunutta IC-elektroniikkaa. Suodatukseen käytettävien ohituskondensaattoreiden valinnassa suuntaa antavana sääntönä voidaan pitää suurten ( $\geq 1\mu\text{F}$ ) keraamisten tai elektrolyyttikondensaattoreiden käyttöä jännitteen tasaamiseen, ja näiden rinnalla pienten ( $\leq 1\text{nF}$ ) muovikondensaattoreiden sijoittamista poistamaan nopeat jännitteenvaihtelut. Näiden lisäksi  $100\text{nF}$ :a on hyvä koko yleiskondensaattorille, joita on suositeltavaa sijoittaa vähintään yksi jokaisen IC-piirin käyttöjännitteen viereen. Suodatuskondensaattorit ovat käytännössä niin edullisia, että niitä kannattaa – luonnollisesti piirilevyn tarjoaman tilan rajoissa – käyttää mieluummin liikaa kuin liian vähän. /3/



#### 1.4. Maadoitus

Kaikki piirilevyllä oleva tyhjä tila on syytä peittää kaikissa levyn kerroksissa maapotentiaaliin kytketyllä kuparialueella; tästä on etua jo levyn jäykkyydenkin kannalta. Vain tiettyihin levyn alueisiin painottuvat kuparialueet saattavat aiheuttaa valmistusprosessin yhteydessä levyn vääntymisen. Samalla tällä saavutetaan pinta-alaltaan laaja maataso johon voidaan hyvin muodostaa pieni-impedanssiset virran paluureitit. Se, miten maatasoon liitytään, vaatii tosin hieman pohdintaa. Pääpiirteissään maadoitusmenetelmät voi jakaa kahteen ryhmään: yhden maapisteen tapaan, ja usean maapisteen menetelmään. Kuva 4 selventää menetelmien erot



Kuva 4. Maadoitusmenetelmät. B-kohdassa esitetty, ”rinnakkainen” usean maapisteen menetelmä on aina suositeltavampi, kuin kohdan a yhden maapisteen tapa. A-kohdan mukaisessa tavassa maapolun impedanssi kasvaa tarpeettomasti, ja esimerkiksi piiri 1 saattaa aiheuttaa jännitteen huojuntaa piireihin 2 ja 3. Käytännössä siis jokainen maadoitettava piste ja komponentin jalka kannattaa yhdistää mahdollisimman nopeasti maapotentiaaliin kierrättämättä sitä muiden maadoitettavien pisteiden kautta. Sama pätee käyttöjännitteisiin.

Maapotentiaali on tapauskohtaisesti liitetty joko suoraan piirilevyn kuparikaatoihin, tai vaihtoehtoisesti piirilevyn kiinnikkeiden kautta kyseessä olevan laitteen kotelointiin. Kaiken kaikkiaan maadoitukseen kannattaa kiinnittää huomiota, sillä maapotentiaali ei ole vain kaiken jännitteen ja virran ongelmitta imevä kaivo, vaan maasilmutukoiden kautta kytkeytyvät häiriöt ovat elektroniikassa enemmän sääntö kuin poikkeus. /2/

### **1.5. Reaktiiviset impedanssit**

Johtimien resistanssista ei luonnollisesti aiheudu elektroniikassa juurikaan ongelmia, mutta impedanssin kompleksiset osat saattavat aiheuttaa niitä helposti. Impedanssin kapasitiiviset ja induktiiviset komponentit, eli esimerkiksi kondensaattoreiden ja kelojen vaikutus, ovat vahvasti taajuudesta riippuvia. Käytännössä mikä tahansa piirilevyn jännitteinen osa sisältää kapasitanssia ja induktanssia – onhan itse piirilevykin eristeellä erotettuine kuparikaatoineen verrattavissa isoon kondensaattoriin. Piirilevyille voi tästä syystä muodostua värähtelyilmiöitä aiheuttavia resonanssitaajuuksia, siinä missä mille tahansa RLC-piirille. Pitkät, ohuet johdinvedot taasen ovat vahvasti induktiivisia, ja aiheuttavat suoraan johtimen impedanssin kasvua. Eniten ongelmia reaktiiviset impedanssit aiheuttavat nopeissa digitaalipiireissä ominaisimpedanssien epäjatkuvuuskohtina.

### **1.6. Nopeat digitaalipiirit**

Tiedonsiirron nopeutuminen merkitsee digitaalisten signaalien taajuuksien kasvamista. Tämä merkitsee käytännössä sitä, että siirtolinjaan kytketty lähde vaihtaa tilaansa 0:n ja 1:n välillä tekniikan kehittyessä aina nopeammin ja nopeammin. IC-piirien kehittämisen lisäksi tämä asettaa vaatimuksia myös piirin layout-suunnittelulle. Nopeilla digitaalipiireillä tässä tarkoitetaan taajuudeltaan muutamasta kymmenestä megahertsistä ylöspäin olevia kytkentöjä. Suurten taajuuksien aiheuttamista ongelmista puhuttaessa on tärkeää muistaa, että varsinaisen hyötysignaalin taajuus ei ole missään tapauksessa suurin piirissä esiintyvä taajuuskomponentti. Digitaalisen signaalin nopeat nousu- ja laskureunat aiheuttavat harmonisia taajuuskerrannaisia, jotka saattavat vielä kymmenkertaisinkin perustaajuuteen nähden olla amplitudiltaan merkittäviä.

Taajuuden kasvamisen ensimmäinen oire on häviöiden kasvaminen virran ahtautumisen myötä. Tasavirta kulkee kuparijohteessa tasaisesti koko johteen poikkipinta-alalle jakautuneena, mutta taajuuden kasvaessa virta pakkautuu johtimen pintakerrokseen, ja aiheuttaa täten johtimen vastuksen kasvamisen. Piirilevyjen lyhyillä kuparijohtimilla häviö jää kuitenkin verrattain pieneksi, ja aiheen tarkempi käsittely jätetään tässä tästä syystä pois. Muutamia muita seikkoja piirin impedanssiin ja signaalin etenemiseen liittyen täytyy kuitenkin ottaa huomioon.

### 1.6.1. Impedanssisovitteet

Kun digitaalisen pulssin nousuaika – eli aika, joka kuluu signaalin jännitetason noustessa 10 %:sta 90 %:iin maksimiarvostaan – alkaa olla pienempi kuin siirtotien etenemisviive, täytyy siirtotien vaikutus signaalin ottaa huomioon. Tällöin signaalia täytyy tarkastella korkeataajuisena siirtotiellä etenevänä aaltona, joka käyttäytyy siirtolinjateorian mukaan. Tämän seurauksena piirilevysuunnittelussa täytyy ottaa huomioon levyn eri osien impedanssien yhteensopivuudet. Käytännössä tämä tarkoittaa impedanssin epäjatkuvuuskohtien minimoimista ja siirtolinjojen pituuksien huomioon ottamista.

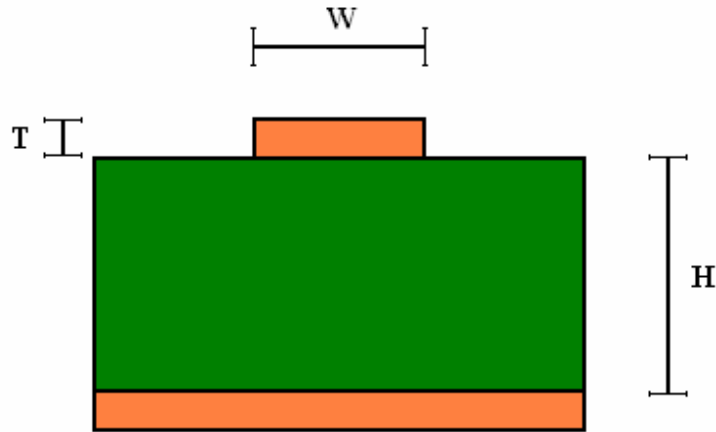
Impedanssin epäjatkuvuuskodalla tarkoitetaan mitä tahansa kahden johteen välistä liitosta, jossa johteen ominaisimpedanssin arvo muuttuu. Impedanssin muutos aiheuttaa korkeataajuisessa signaalissa heijastumisen, jonka suuruus määräytyy kaavasta

$$\Gamma = \frac{Z - Z_0}{Z + Z_0}, \quad (1)$$

missä  $\Gamma$  on heijastuskerroin ja  $Z$  johtimen päässä olevan kappaleen – siis kuorman – impedanssi.  $Z_0$  on johtimen ominaisimpedanssi, jonka sm-aalto ”näkee” saapuessaan siirtolinjaan. Ideaalisessa tilanteessa heijastuskerroin on luonnollisesti 0. Yleisesti häviöttömäksi oletetun materiaalin ominaisimpedanssi saadaan kaavalla

$$Z_0 = \sqrt{\frac{L}{C}}, \quad (2)$$

missä  $L$  on materiaalin induktanssi ja  $C$  kapasitanssi. Esimerkiksi ilman ominaisimpedanssi on noin  $377 \Omega$ . Kun johtimena on kuvan 5 mukainen mikroliuska, ominaisimpedanssiin vaikuttavien muuttujien määrä kasvaa.



Kuva 5. Mikroliuska johtimena piirilevyllä. Fyysisiä mittoja kuvataan suureilla  $W$ ,  $T$  ja  $H$ , jotka ovat vastaavasti mikroliuskan leveys, mikroliuskan paksuus, sekä liuskan etäisyys maatasosta.

Ominaisimpedanssiin vaikuttavia tekijöitä ovat piirilevyn pinnassa kulkevan mikroliuskan tapauksessa johtimen leveys ja paksuus, sen etäisyys maatasosta, sekä johtimen ja maatason välisen eristeen suhteellinen permittiivisyys. Impedanssin määräytymistä kuvaa tarkemmin kaava

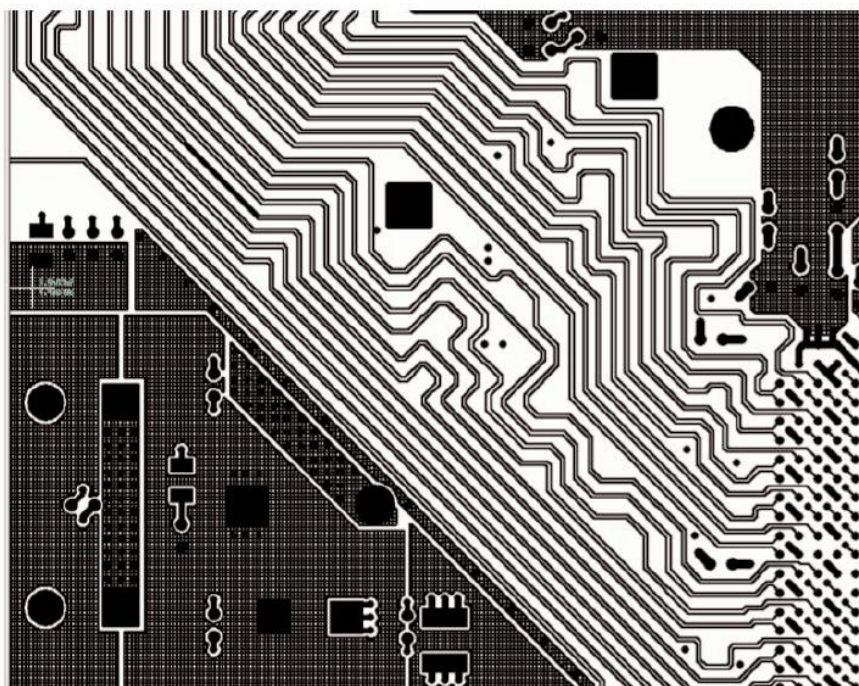
$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} \cdot \ln \frac{(5,89 \cdot H)}{(0,8 \cdot W + T)}, \quad (3)$$

missä  $H$  on johtimen ja maatason etäisyys,  $W$  johtimen leveys ja  $T$  johtimen paksuus. Yksinkertaistettuna kaava (3) kertoo, että kun johtimen ja maatason etäisyyttä toisistaan kasvatetaan, ja johtimen leveyttä kavennetaan, ominaisimpedanssi kasvaa suuremmaksi.

/4/

### 1.6.2. Signaalien ajoitus

Kun signaalia tarkastellaan siirtojohdossa etenevänä aaltona, sen siirtyminen pisteestä toiseen – kuten komponentin jalasta toiseen – kestää tietyn ajan. Tätä aikaa kutsutaan etenemisviiveeksi. Mitä pidempi johdin on kyseessä, sitä kauemmin signaalin perille pääsy kestää. Tämä on otettava huomioon esimerkiksi nopeissa kellosignaaleissa. Signaalijohtimien pituuksia voidaan mitoittaa sopivaksi kierrättämällä johtimilla ylimääräisiä lenkkejä, esimerkiksi kuvan 6 esittämällä tavalla. Tällöin tosin häiriösäteilyä keräävien ja lähettävien antennien syntymisen riski on olemassa.

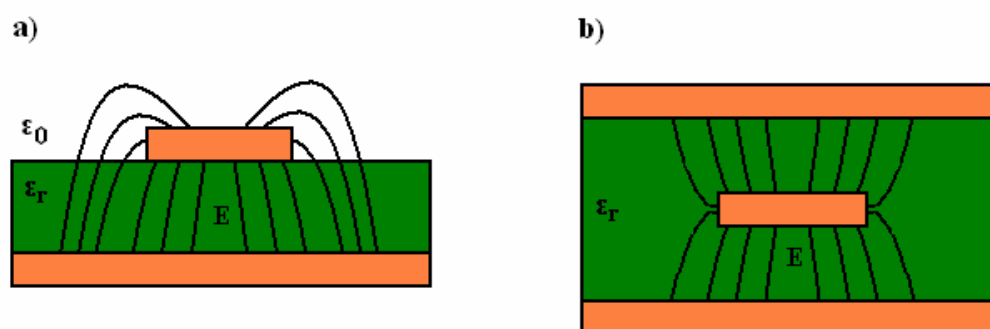


Kuva 6. Piirilevyn johtimien virittäminen samanmittaisiksi ylimääräisillä lenkeillä. /5/

Huomattava seikka signaalien ajoituksessa on myös se, että sähkömagneettinen säteily etenee tyhjiössä ( ja käytännössä myös ilmassa ) valon nopeudella, mutta väliaineessa etenevää säteilyä hidastavat kyseisen väliaineen dielektriset ominaisuudet. Sm-säteilyn nopeus väliaineessa saadaan kaavasta

$$v_p = \frac{c}{\sqrt{\epsilon_r}}, \quad (4)$$

missä  $v_p$  on säteilyn vaihenopeus ja  $\epsilon_r$  väliaineen suhteellinen permittiivisyys. Kun otetaan huomioon, että signaalijohtimessa etenevä aalto muodostaa sähkökentän kuvan 6 mukaisesti, voidaan todeta että aallon nopeuteen vaikuttaa johtimen ympärillä olevan väliaineen suhteellinen permittiivisyys.



Kuva 6. Sähkökentän muodostuminen piirilevyn pinnassa ja välikerroksessa kulkevan johtimen tapauksessa. Ilman ja väliaineen suhteellisia permittiivisyyksiä kuvaavat  $\epsilon_0$  ja  $\epsilon_r$ , ja sähkökenttää  $E$ .

Kuvan 6 perusteella voidaan siis sanoa, että sm-aalto kulkee nopeammin piirilevyn pinnassa olevissa mikroliuskoissa kuin haudatussa rakenteessa. Piirilevyn pinnalla olevassa johtimessa kulkeva, ja välikerroksissa etenevä signaalin käyttävät siis samaan etäisyyden kulkemiseen eri ajan. /4/

### 1.7. Komponenttivalinta

Kuten sanottu, voidaan olettaa että layout-suunnittelua on edeltänyt elektroniikkapiirin kytkentäkaavion piirtäminen. On tosin täysin mahdollista, että kytkentäkaavio ilmaisee levyllä käytetyt komponentit vain teoreettisesti, ja varsinainen komponenttivalinta, ja mahdollisesti komponenttien liitospinnat ja ääriverivat esittävien footprintien luominen jää osaksi layout-suunnittelua. Huolimattomuus käytettyjen komponenttien valinnassa voi

kostautua myöhemmin ylimääräisenä työnä. Kun tietyn komponentin vaatimukset ovat tiedossa, tulee selvittää mistä ominaisuuksiltaan riittävä tuote voidaan tilata, ja millaiseen koteloon se on pakattu. Komponenttivalmistajia on maailmalla lukuisia, mutta useimmiten tuotteiden vaivatonta saatavuutta rajoittaa maahantuojat. Komponenttien tilaaminen suoraan valmistajalta edellyttää valtavia tilausmääriä, mikä ei pienten tuotantoerien tapauksessa ole järkevää.

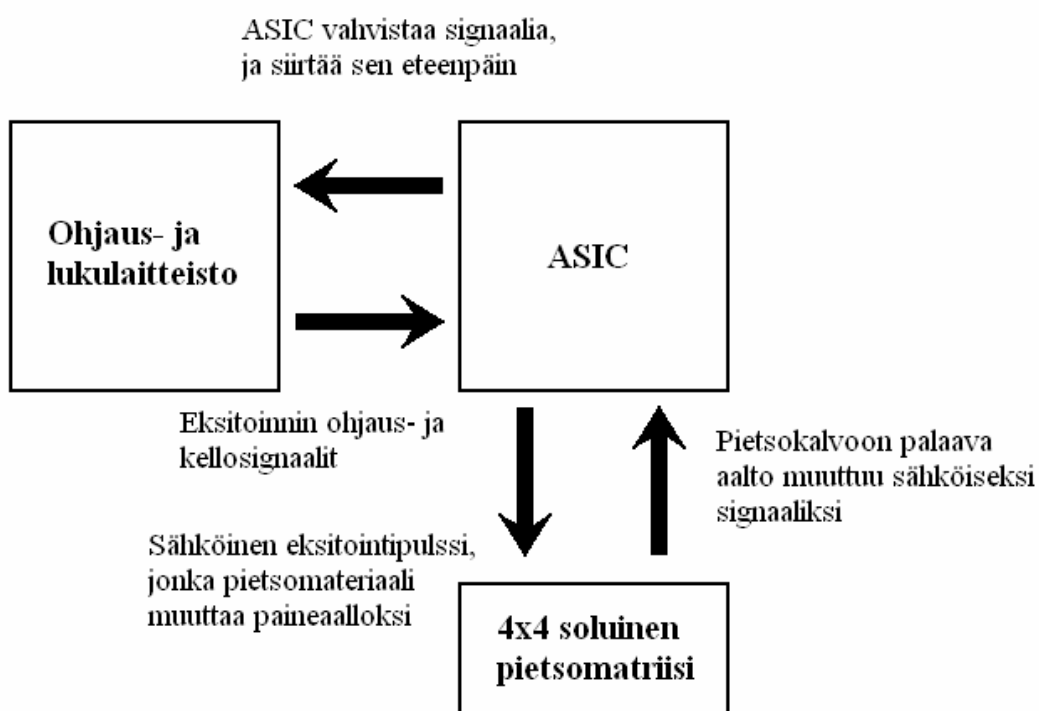
### **1.8. Suunnitteluvirheet ja niiden välttäminen**

Layout-suunnitteluun käytettävät ohjelmat sisältävät yleisesti vakio-ominaisuuksina toimivat ja käytännölliset virheentarkastustyökalut (olettaen että niitä osataan käyttää). Silti tuotannossa tapahtuneiden virheiden lisäksi myös inhimilliset suunnitteluvirheet aiheuttavat prototyypin valmistuksessa paljon tarvetta jälkikäteen tehtäviin korjauksiin. Jos onni on myötä, suunnittelun virheet ovat piirilevyn pintakerroksissa, ja helposti korjattavissa kuparilankaa ja kolvia käyttämällä. Välikerrosten virheet ovat ymmärrettävistä syistä parhaassakin tapauksessa vaikeita korjattavia.

Ohjelmiston valmiit virheentarkastustyökalut (DRC, design rule checking) tarkistavat kyllä tehokkaasti eristevälien etäisyydet ja reitityksen epäjatkuvuudet, mutta ovat sokeita muutamille vioille. Tällaisia ovat esimerkiksi tahattomasti syntyneet, pieni-impedanssiset reitit maapotentiaaliin, jotka saattavat aiheuttaa virrankulutuksen kasvua tai jopa maadoittaa hyötysignaalin. Piirilevyn suunnittelun loppuvaiheessa on siis tärkeää tarkastaa omin silmin signaalipolkujen eheydet. Samalla tulee myös tarkkailla tuotannon kannalta oleellisia seikkoja, joilla ei välttämättä ole mitään tekemistä itse piirin toiminnan kanssa. Esimerkkinä mainittakoon liian lähellä komponentin jalkaa olevat läpiviennit, jonne juotospasta pääsee kuumennettaessa valumaan, ja komponentin liitos jää syntymättä.

## 2. KÄYTÄNNÖN PIIRILEVYSUUNNITTELU

Mikroelektronikan laboratorion pienkohinaiset etuasteet (PIEKO) – projekti sisälsi pietsosähköisen matriisin ohjaamiseen tarkoitetun ASIC-piirin (Application specific integrated circuit) suunnittelun. Mahdollisena sovelluksena tälle on esimerkiksi metallirakenteiden tarkastaminen murtumien varalta. Tarkemmin selitettynä ASIC-piiri lähettää ohjaussignaalin käskystä pietsomatriisin tiettyihin soluihin niitä eksitoivan jännitepulssin, joka aikaansaa solusta lähtevän kaikuluotausta vastaavan pulssin. Solut, joita ei käytetä pietsomatriisin eksitointiin, toimivat pulssin heijastuksia lukevina antureina. ASIC vahvistaa antureiden signaalia, ja lähettää signaalin eri muodoissa eteenpäin. Kuvassa 7 oleva lohkokaavio selventää kytkennän toimintaa.



Kuva 7. Periaatteellinen lohkokaavio ASIC-piirin ja sitä ympäröivien komponenttien toiminnasta.



Pietsomatriisilta lähtevien signaalien taso on erittäin heikko, ja matriisin tulee taten sijaita mahdollisimman lähellä itse ASIC-piiriä. Tästä syystä sovelluksen lopullisen version täytyy oletettavasti koostua ASIC:in ja pietsomatriisin sisältävästä pienikokoisesta anturiosasta, ja siihen kiinnitettävästä suuremmasta hallinta- ja lukulaitteesta. Tätä ennen ASIC-piirin toimivuus tuli kuitenkin taata, joten tehtävänä oli suunnitella piirilevy sen testausta varten. Kytkentäkaavion piirtämiseen ja piirilevyn layout-suunnitteluun käytettiin PADS-ohjelmistoa, joka osoittautui tarkoitukseen hyvin sopivaksi työkaluksi. Suunnittelun ohessa syntyi myös kirjallinen ohje PADS:in perusteista.

## **2.1. Piirilevylle asetetut vaatimukset**

Ominaisuudet, joita piirilevyltä oletettiin löytyvän, olivat pääpiirteissään varsin yksinkertaisia toteuttaa. Alusta asti oli selvää, että levy rakentuu 100-jalkaiseen keraamiseen quad flat pack-koteloon (CQFP) pakatun ASIC:in ympärille. Valtaosa ASIC:in kontakteista liittyivät joko pietsomatriisin ohjaamiseen tai vahvistimilta lähtevään dataan. Lisäksi piirille oli suunniteltu myös integroituihin Hall-antureihin perustuva magneettikentän mittaus, joka kuitenkin jätettiin tässä työssä vähemmälle huomiolle.

ASIC:in ohjaamiseen oli jo valmiina olemassa erillinen kontrollikortti, joka tuli liittää suunniteltuun testikorttiin viidellä lattakaapelilla. Pietsomatriisilta tulleen, ASIC:issa vahvistetun datan oli puolestaan tarkoitus lähteä piiriltä kahdella tavalla: suoraan puskuroidusta vahvistimen lähdöstä, sekä verhoikäyrän muodossa. Näille siis tarvittiin sopivat liittimet. Lisäksi vahvistimen raa'an lähdön takaisinkytkentähaaraan vaadittiin vahvistusta varten ulkoinen, säädettävä vastus. ASIC sisälsi kaiken kaikkiaan 5 identtistä lohkoa niin eksitointiin kuin vahvistukseenkin, joten liittimien määrän tiedettiin kasvavan varsin suureksi.

Piirin vaatimat käyttöjännitteet olivat eksitointipulssin tarvitsema +/- 20 V, sekä ohjauslogiikan ja vahvistimien tarvitsemat 5V, 3,3V sekä 2,5V. Lisäksi näiden kaikkien tuli olla säädettävissä, ottaen huomioon että kyseessä oli ASIC:in ensimmäinen

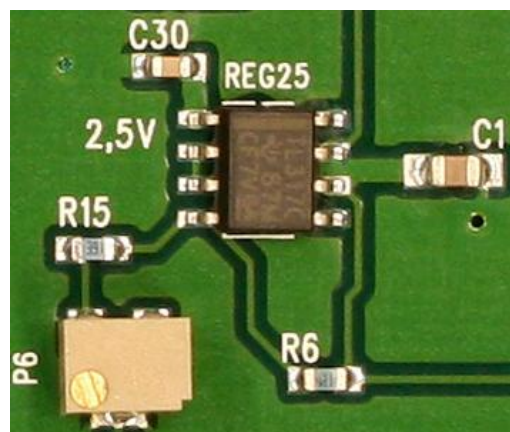
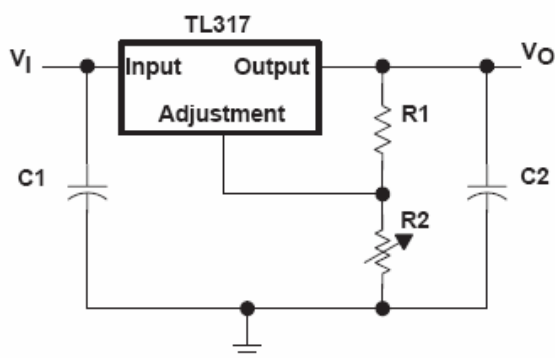
prototyypiversio jonka toimivuudesta ei ollut täyttä takuuta. Piirilevyn erikoisuutena sen tuli sisältää optiot sekä koteloitun että koteloimattoman ASIC-piirin liittämiseen. Koteloimaton chip-on-board (COB) – tyyppinen toteutus asetti levyn toteutukselle omat vaatimuksensa käytetyn viivaleveyden suhteen.

## 2.2. Toteutus

Testilevyn suunnittelun pohjana oli ASIC:in pinnien järjestys, joka oli onneksi varsin looginen, eikä ristiin meneviä signaalivetoja tarvinnut kierrättää juuri lainkaan toistensa ohi. Myös testaamiseen käytetyn kontrollikortin signaalien järjestys – joka oli kontrollikortille vapaasti ohjelmoitavissa – toteutettiin tästä näkökohdasta. Kaiken kaikkiaan levyn toteutus pyrittiin pitämään mahdollisimman yksinkertaisena.

### 2.2.1. Käyttöjännitteet

ASIC:in vaatimien käyttöjännitteiden aikaansaamiseksi päädyttiin ratkaisuun, jossa levyllä tuotiin  $\pm 20$  V, sekä 5 V josta muokattiin edelleen kahdella kuvassa 8 esitetyn kaltaisella regulaattorikytkennällä säädettävät 3,3 V ja 2,5 V



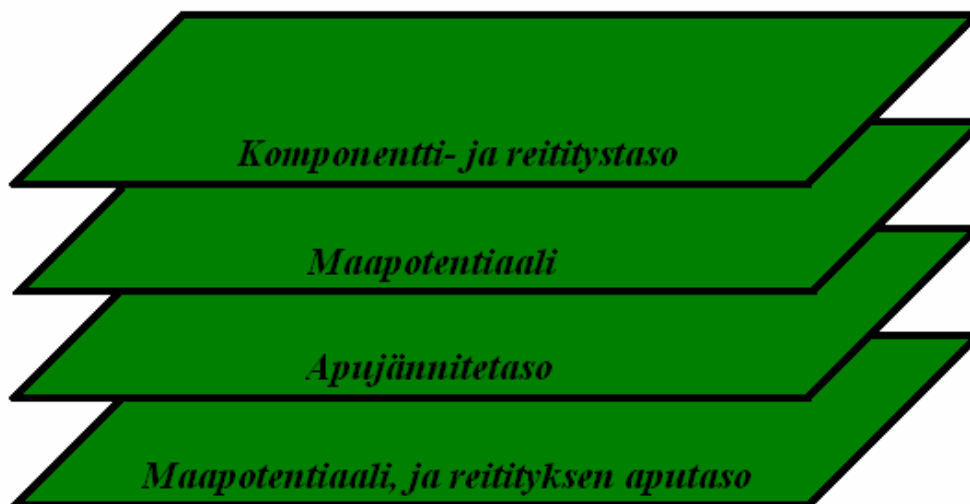
Kuva 8. Regulaattorikytkennän kaavio tl317cd – regulaattoripiirin datalehdestä, sekä käyttötarkoitukseen sopivilla vastuksilla toteutettu todellinen regulaattorikytkentä piirilevyllä. /6/

### 2.2.2. Liittimet

Eksitoinnin ohjauksen liittimien valinta oli yksinkertaista siltä pohjalta että niiden täytyi olla samanlaiset kuin ohjaukseen käytetyssä kontrollikortissa jo oli. Näissä päädyttiin siis 2x5 pinnin kokoisiin, 2,54 mm piikkivälin piikkirimoihin. Lisäksi Hall-antureiden ja ASIC:illa olleen kuudennen testikäyttöön tehdyn vahvistimen liittimiksi valittiin yksi 2x8 pinnin suuruinen piikkirima. Vahvistimien lähdöt järjestettiin koaksiaaliseksi kymmenellä levyllä sijoitetulla BNC-liittimellä.

### 2.2.3. Levyn rakenne

Alun perin suunnitelmissa oli toteuttaa piirilevy 2-kerroksisena, siten että kahden kuparilevyn välissä olisi 1,6 mm paksu FR4-levy. Tämä olisi ollut mahdollista komponenttien määrän vähäisyyden ja reitityksen yksinkertaisuuden puolesta. Liittimille menevät vedot haluttiin kuitenkin varmuuden vuoksi, epäsovitusien aiheuttamien häviöiden välttämiseksi sovittaa ominaisimpedanssiltaan 50Ω:iin. Johtimien impedanssien sovittamisen yhteydessä todettiin, että käytettäväksi suunniteltu 2-kerroksinen rakenne ei ollut sopiva kyseiseen tarkoitukseen. Kaavan (3) avulla saatiin laskettua, että 1,6 mm:n paksuinen levy kuparitasojen välissä olisi kasvattanut johtimen leveyttä noin 3 mm:iin 50 Ω:n ominaisimpedanssin saavuttamiseksi. Tämä ei ollut mahdollista ASIC:in kotelon liittinten tiheyden takia. Siispä piirilevyssä päädyttiin 4-kerroksiseen ratkaisuun, jossa johdintason ja maapotentiaalin etäisyydeksi jäi 0,23 mm ja noin 50Ω:n siirtolinja saatiin luotua 0,4 millimetrin levyisellä vedolla. Käytetty, 4-kerroksinen rakenne on havainnollistettu kuvassa 9.



Kuva 9. Havainnollistava kuvaus neljän kerroksen käytöstä piirilevyllä. 4-kerrosrakenteella maapotentiaali ja käyttöjännitteet saatiin hyvin omille tasoilleen.

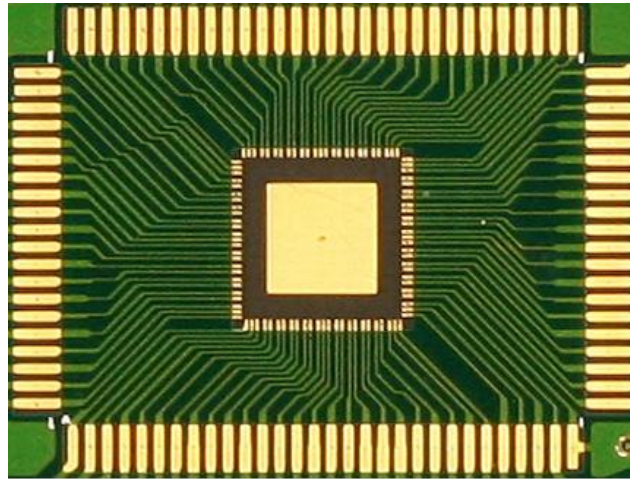
Muille kuin BNC-liittimille johtaville vedoille ei ollut tarpeen tehdä tarkkoja impedanssisovituksia, joten näistä tehtiin 0,2 mm leveitä.

#### 2.2.4. ASIC

ASIC-piirin liittäminen piirikorttiin tuli mahdollistaa kahdella eri tavalla. Normaalin, 100-jalkaisen QFP-kotelon liitosjalkojen luominen ei ollut ongelma, mutta optio paljaan, koteloirottoman ASIC-sirun bondaamiseksi kortille tuotti enemmän haastetta. Bondattava liitos oli tehtävä, koska kaikkia sirulla olleita testirakenteita – muun muassa Hall-antureihin liittyviä – ei ollut yhdistetty kotelon jalkoihin, sillä sirun liitinpäiden lukumäärä ylitti kotelon jalkojen lukumäärän.

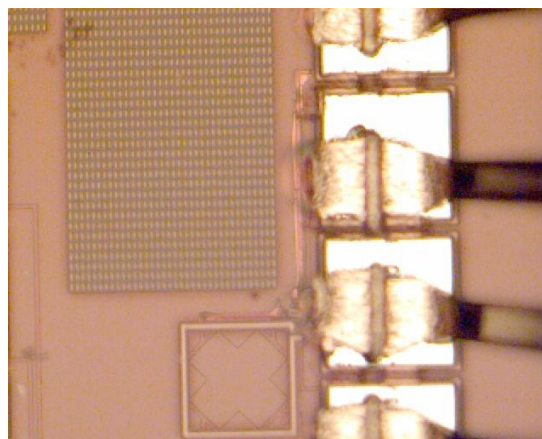
Suoraan kotelolle tarkoitettuihin liittimiin bondaaminen ei ollut mahdollista näiden etäisyyden takia. Kotelon ulkomitat olivat noin 14 x 20 millimetriä, mutta varsinainen ASIC-siru oli vain noin 4 x 4 mm:n kokoinen. Kultalangalla tehtävän bondauksen suurin mahdollinen etäisyys oikosulkujen ja langan katkeamisen välttämiseksi oli muutamia millimetrejä. Tästä johtuen levyllä päädyttiin rakenteeseen, jossa ASIC:in kotelon liittimet jatkuivat ohuempina vetoina kohti kotelon keskiosaa, ja muodostivat lopulta

toisen, halkaisijaltaan noin 6 mm suuruisen liitinkehän. Sirua ei liitetty pelkästään bondauslangoilla, vaan se myös liimattiin kiinni levyyn, ja tätä varten liitinkehän keskelle luotiin sirun kokoinen metalloitu alue. Koska bondaus suoritettiin kultalangalla, täytyi liitoksen onnistumiseksi koko levyn paljaat metallipinnat kullata. ASIC-piirin liitospinta kokonaisuudessaan on esitetty kuvassa 10.



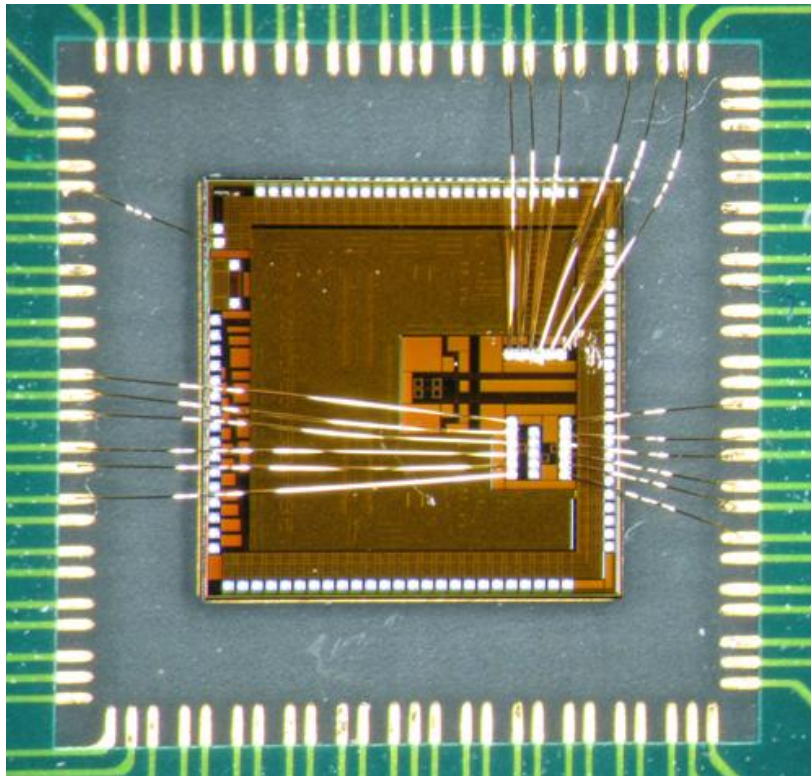
Kuva 10. ASIC-piirin liitospinta piirilevyllä. Johdinvetojen tekemistä vaikeutti se, että kotelossa liittimet oli jaettu suorakulmioon, kun taas itse sirulle haluttiin sama määrä liittimiä neliön jokaiselle reunalle.

Varsinainen bondaus suoritettiin Elektroniikan suunnittelukeskuksessa, tarkoitukseen sopivalla laitteistolla. Kuva 11. esittää muutaman liitoksen suurennettuna.



Kuva 11. Yksittäisiä bondausliitoksia ASIC-piirin liittimillä. Liitinpäiden halkaisija oli noin 100  $\mu\text{m}$ .

Kuva 12. puolestaan näyttää paikalleen liimatun, paljaan ASIC-sirun, sekä tähän suoritettuja bondauksia.

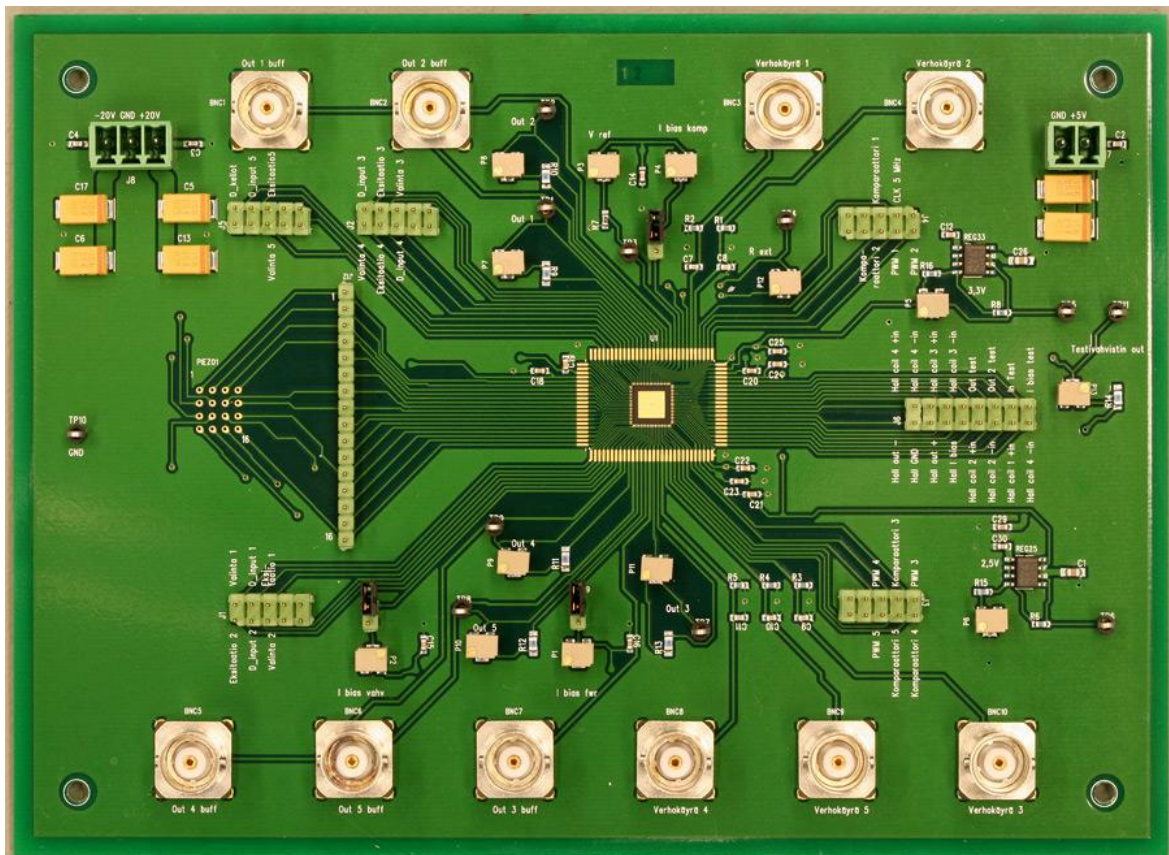


Kuva 12. Hall-antureiden testaamiseksi suoritettut bondaukset.

### 2.2.5. Piirilevy kokonaisuudessaan

Valmiit piirikortit ( 3 kappaletta ) saapuivat noin kuukausi sen jälkeen, kun suunnittelusta syntyneet gerber-tiedostot oli lähetetty valmistajalle. Yksi levyistä kalustettiin osittain heti saapumisen jälkeen LTY:lla, elektroniikan suunnittelukeskuksessa. Kuva 13 esittää kyseistä piirilevyä.





Kuva 13. Suunnittelun tuloksena syntynyt piirilevy, kalustettuna ASIC-piiriä lukuun ottamatta. Levyn vasemmassa laidassa oleva 4 x 4 läpiviennin matriisi johtaa levyn alapinnassa olevaan pietsomatriisiin kiinnityskohtaan.

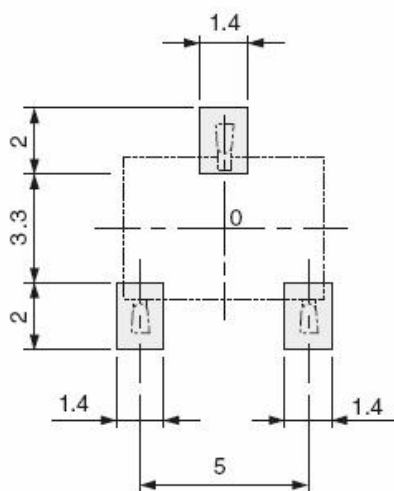
### 2.3. Toiminnan testaus

Kalustetun piirilevyn toimivuus tuli testata ennen ASIC-piirien saapumista. Tarkistettavana olivat esimerkiksi mahdolliset käyttöjännitteiden oikosulut väärille ASIC:in liitännöille, jotka saattaisivat tuhota arvokkaan piirin. Myös muut mahdolliset virheet levytä tuli paikallistaa.

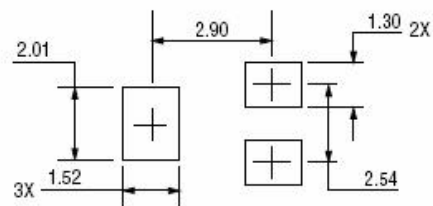
### 2.3.1. Suunnittelussa tapahtuneet virheet

Piirilevyn suunnittelussa tapahtui muutamia inhimillisiä erehdyksiä. Ensimmäinen, jo suunnitteluvaiheessa huomattu virhe liittyi levyn trimmereihin. Käyttötarkoitukseen erittäin hyvin sopivat potentiometrit löytyivät Vishay:lta, ja potentiometrien liittimet ja ääriviivat osoittava footprint piirrettiin näiden datalehden mukaan. Myöhemmin, komponenttien tilauksen yhteydessä kuitenkin todettiin, ettei ko. potentiometrejä saa pienissä erissä Suomeen mitenkään järkevästi. Korvaava tuote löytyi, mutta sen liitäntäpinnat eivät olleet identtiset aiemmin valittuun verrattuna. Kuva 14 esittää syntyneen ongelman.

**VISHAY  
ST-5EW**



**BI-electronics  
44W**



Kuva 14. Trimmereiden liitospintojen mitat (millimetreinä). Vasemmalla puolella tarkoitukseen alun perin valittu Vishayn potentiometri, ja oikealla lopullisessa versiossa esiintyvä BI-electronicsin malli. Tässä tapauksessa komponentti vaihtui suuremmasta pienempään. Päinvastaisessa tapauksessa aiheutuneen työn määrä olisi kasvanut huomattavasti, kun ahdasta piirilevyä olisi tarvinnut väljentää uutta komponenttimallia varten. /7/, /8/

Kaikeksi onneksi virhe huomattiin ennen piirilevyjen tilaamista, ja potentiometriä footprintien vaihtaminen ei ollut ongelma. Neljä muuta syntyneitä suunnitteluvirheitä huomattiin vasta valmiiden piirilevyjen saavuttua. Ensimmäisenä havaittiin, että neljän



käyttöjännitteitä suodattavan tantaalikondensaattorin napaisuudet oli merkattu väärin päin silkkipainatukseen, ja komponentit oli ladottu sen mukaisesti väärin. Tämä oli varsin helposti korjattavissa.

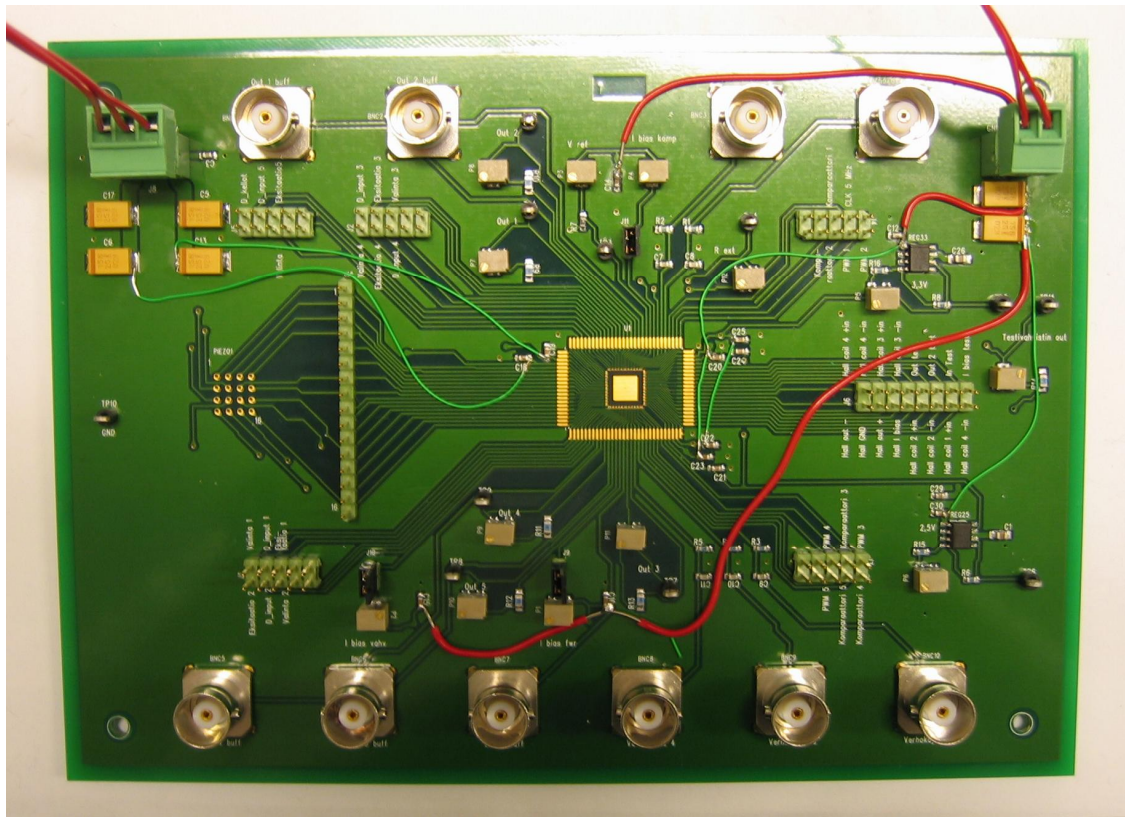
Seuraava vastaan tullut virhe aiheutti enemmän ongelmia. +/- 20 V ja 5V jännitteiden läpiviennit kolmannesta kuparitasosta eri komponenttien käyttöjännitenastoille oli toteutettu ns. haudatuilla läpivienneillä, jolloin läpivienti ei mennyt läpi koko levystä. Kävi kuitenkin ilmi, että näiden käyttö olisi tullut ilmoittaa erikseen piirilevyn valmistajalle. Koska näin ei tehty, olivat kyseiset läpiviennit jääneet kokonaan poraamatta. Ongelman korjaamiseksi jännitteet vietiin tarvittuihin pisteisiin levyn pintaan kolvatuilla johdinlangoilla.

Kolmantena tapauksena havaittiin, että eräs levyn yläpinnan maapotentiaalin johtavista läpivienneistä katkaisi hyötysignaalin reitin levyn alapinnassa. Ei-haluttu maadoitus poistettiin katkaisemalla hyötysignaalin johdin levyn alapinnassa, ja yhdistämällä se uudestaan erillisellä johdinlangalla.

Viimeinen esiin tulleista suunnitteluvirheistä nähtiin ASIC-piirin saavuttua. ASIC:in kotelon datalehden huolimaton tarkastelu oli johtanut siihen, että kotelon vastakkaisten jalkojen välimatka oli suurempi kuin vastaavien pintaliitospisteiden etäisyys. Tämä ratkaistiin taivuttamalla kotelon jalvoja varovasti sisäänpäin, jolloin kotelo mahtui sille tarkoitettuihin liitospisteisiin. Kaiken kaikkiaan suunnittelussa tapahtuneista erheistä selvittiin siis vain ylimääräisillä työtunneilla.

### **2.3.2. Lopullinen piirilevy korjausten jälkeen**

Kuva 15 on otettu ASIC:in testaamiseen käytetystä, toimivasta piirilevystä. Itse ASIC-piiriä ei kyseiselle levyille ole vielä kiinnitetty. Kuvan levy on kiinni käyttöjännitteissä mahdollisten oikosulkujen löytämiseksi.



Kuva 15. Lopullinen, ASIC-piirin testaamiseen tarkoitettu piirilevy pienten korjausten jälkeen.

Mainittuja, korjattuja virheitä lukuun ottamatta ASIC:in testaamiseen tarkoitettu levy toimi täysin odotusten mukaan. Myös itse ASIC-piirin toimivuus saatiin piirilevyn avulla todettua, mutta näihin mittauksiin tässä työssä ei syvennytä.

### 3. YHTEENVETO

Kaiken kaikkiaan ASIC-piirin testaamiseksi suunnitellun piirilevyn toteuttaminen onnistui odotusten mukaan. Suunnitteluvirheet ovat yleisiä minkä tahansa piirikortin ensimmäisessä versiossa, eikä niiltä vältytty tässäkään tapauksessa. Kyseiset virheet eivät kuitenkaan olleet mahdottomia korjattavia, ja piirilevy täytti lopulta kaikki sille asetetut vaatimukset. Työ oli myös erittäin opettavainen piirilevysuunnittelussa huomioon otettavien seikkojen suhteen.

Suunniteltu ja toteutettu piirikortti oli rakenteeltaan erittäin yksinkertainen, ja toimi suhteellisen matalilla taajuuksilla, ilman vaatimuksia signaalien ajoitukselle. Silti jo tämän tasoinen levy vaatii lukuisten pienten yksityiskohtien huomioon ottamista. Voidaan siis sanoa että piirilevyjen suunnittelu lähes mihin tahansa tarkoitukseen kannattaa aina tehdä tarkasti ja harkiten, sillä elektroniikkapiirin pohjana toimivan levyn korjaaminen on poikkeuksetta vaikeampaa ja kalliimpaa kuin esimerkiksi yksittäisten viallisten komponenttien vaihtaminen.

**LÄHTEET**

- /1/ Montrose, Mark I. Printed circuit board design techniques for EMC compliance. IEEE Press 1996. ISBN 0-7803-1131-0
  
- /2/ Kuisma, Mikko. EMC –kurssimateriaali. Saatavilla osoitteesta <http://www.ee.lut.fi/fi/opi/kurssit/Sa2920200/materiaalit.html>
  
- /3/ Jones, David L. PCB Design Tutorial, Revision A. 2004. Verkkojulkaisu, saatavilla osoitteesta: <http://alternatezone.com/electronics/pcbdesign.htm>
  
- /4/ Sharawi, M. S. Practical issues in high speed digital design. IEEE Potentials, Volume 23, Issue 2. 2004. ISSN: 0278-6648
  
- /5/ Brooks, Douglas. Technical publication: Adjusting signal timing (part 1). Ultracad design, Inc. 2003. Verkkojulkaisu, saatavilla osoitteesta: <http://www.ultracad.com/mentor.htm>
  
- /6/ Texas instruments, tl317cd –komponentin datalehti
  
- /7/ Vishay, ST5-EW –komponentin datalehti
  
- /8/ BI-electronics, 44W –komponentin datalehti